

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-070043**  
 (43)Date of publication of application : **11.03.1994**

**(51)Int.CI.**

**H04M 7/00**  
**H04J 3/00**  
**H04Q 1/50**  
**H04Q 3/42**  
**H04Q 11/04**

**(21)Application number : 04-322077**

**(71)Applicant : HYUNDAI ELECTRON IND CO LTD**

**(22)Date of filing : 01.12.1992**

**(72)Inventor : LEE YOUNG D**

**(30)Priority**

Priority number : 91 9121998 Priority date : 02.12.1991 Priority country : KR

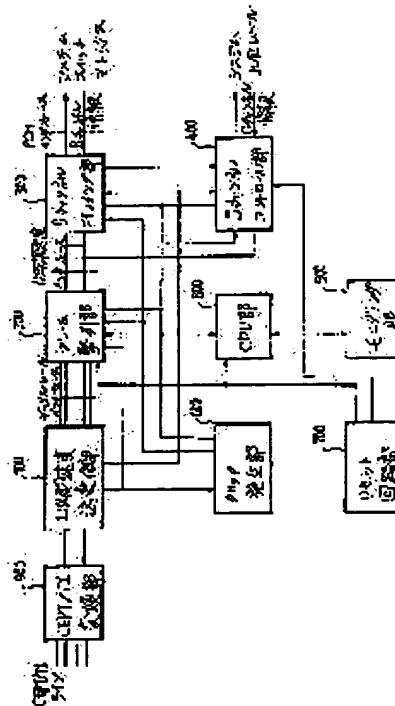
---

**(54) TRUNK CONNECTING SYSTEM FOR EUROPEAN SYSTEM (CEPT) AND NORTHERN AMERICAN SYSTEM (T1) FOR ISDN SYSTEM**

**(57)Abstract:**

**PURPOSE:** To support the information transmission of ISDN system based on both the European system (CEPT) and the Northern American system (T1) by providing a 1st-order group speed transmitting/receiving means and a frame arranging means.

**CONSTITUTION:** When receiving information from an external exchange, a 1st-order group speed transmission/reception part 100 receives the information through a CEPT/T1 line. The received information is transmitted to a frame arranging part 200 and according to whether it is a CEPT system or a T1 system, the information is impressed to a B channel switch part 300 and a D channel control part 400 in the frame structure of 30B+1D or 23B+1D. Among the information impressed from the frame arranging part 200, B channel information is allocated to 30 pieces of (CEPT) time slots of 23 pieces of (T1) time slots among 32 pieces of PCM time slots and transmitted to the switch matrix of the system. The D channel information is extracted by a D channel control part 400 and transmitted to the high-order level of the system.




---

**LEGAL STATUS**

[Date of request for examination]

25.06.1993

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2744181

[Date of registration] 06.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-70043

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号
H 0 4 M	7/00	A 8426-5K
H 0 4 J	3/00	Z 8843-5K
H 0 4 Q	1/50	9076-5K
	3/42	1 0 4 9076-5K

厅内整理番号 F I  
8426-5K  
8843-5K  
9076-5K  
9076-5K  
9076-5K H

技術表示箇所

(21)出願番号 特願平4-322077

(22)出願日 平成4年(1992)12月1日

(31) 優先権主張番号 21998/1991

(32) 優先日 1991年12月2日

### (33) 優先權主張國 韓國 (KR)

(71)出願人 591279021

ヒュンダイ エレクトロニクス インダストリーズカンパニー リミテッド

HYUNDAI ELECTRONICS  
INDUSTRIES COMPANY  
LIMITED

大韓民国 467-860 キョンギド イチヨ  
ンクン ブバレウブ アミリ サン 136  
-1番地

(72)発明者 ヤン ダエ リー

大韓民国 キョンギド セオンナムシ ジ  
ュンウォンク サンダエウォン 2ードン  
2999-36番地

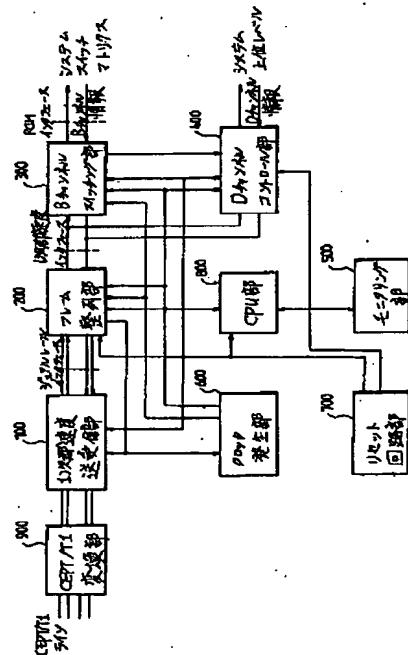
(74)代理人 奉理士 伊東 忠彦 (外1名)

(54)【発明の名称】 ISDNシステムのヨーロッパ方式(CEPT)及び北米方式(T1)のためのトランク接続方式

(57) 【要約】

【構成】 本発明のトランク接続装置は、ISDN PABX又はNT12に装着されて、ISDN局設交換機や他のISDN PABXとトランク接続をなすことにより、1次群速度の情報伝送を支援する。

【効果】 一次群速度送受信機とフレーム整列機を利用してCEPT方式とT1方式を全て支援することができ、Dチャンネルコントローラーのシリアルポートを利用してシステム上位レベルと通信することにより、HDLCL/SDLCシリアルチャンネルのような通信モジュールがないマイクロプロセッサーを用いることができ、マイクロプロセッサーの負荷を減らすことができる。



## 【特許請求の範囲】

【請求項1】 ISDN PABX又はNT12(ネットワーク ターミネーション12)システムに装着され、ISDN局設交換機又は他のISDN PABXとトランク接続されて、1次群速度の情報伝送を支援するトランク接続装置において、  
上記ISDN局設交換機又は他のISDN PABXに連結されているトランクラインに連結されており、上記トランクラインをCEPT又はT1方式で選択するCEPT/T1交換手段に連結されて、CEPT又はT1方式の1次群速度で情報を送受信する1次群速度送受信手段(100)；上記1次群速度送受信手段に連結されて、上記1次群速度送受信手段から入力される情報をCEPT方式やT1方式のフレーム構造で整列されるように制御するフレーム整列手段(200)；上記フレーム整列手段に連結されており、システムのスイッチマトリックスに接続されて、1次群速度タイムスロットに載せられたBチャンネル情報をPCMタイムスロット上にスイッチングして、上記システムのスイッチマトリックスに送り、上記システムのスイッチマトリックスから来るPCMタイムスロットに載せられたBチャンネル情報を1次群速度タイムスロット上にスイッチングして、上記フレーム整列手段へ伝送するBチャンネルスイッチング手段(300)；上記フレーム整列手段に連結されており、上記システムの上位レベルに接続されて、上記CEPT又はT1方式の情報中からDチャンネル情報を抽出して自分のシリアルポートを利用してシステムの上位レベルへ伝送したり、上記システムの上位レベルからのDチャンネル情報を自分のシリアルポートを通じて受信して、1次群速度フレーム構造内に挿入するDチャンネルコントロール手段(400)；上記1次群速度送受信手段とフレーム整列手段とBチャンネルスイッチング手段とDチャンネルコントロール手段に夫々連結されており、内部のプログラムを利用して装置全体を制御及び管理する中央処理手段(800)；上記フレーム整列手段と中央処理手段とDチャンネルコントロール手段に連結されているリセット手段(700)；及びシステム全体が必要とするクロックを網同期に合わせて提供するクロック発生手段(600)；を含んでいることを特徴とするISDNシステムのヨーロッパ方式(CEPT)及び北米方式(T1)のためのトランク接続装置。

【請求項2】 上記中央処理手段に連結されており、上記中央処理手段により本装置の状態をCRT上にディスプレーしたり、警報及び警報の種類を、LED点滅を通じて示すモニタリング手段(500)；を更に含むことを特徴とする請求項1記載のトランク接続装置。

【請求項3】 上記CEPT/T1変換手段(900)は、CEPT又はT1方式の選択を予めセッティングするためのDIPスイッチ(910)を含み構成されるこ

とを特徴とする請求項3記載のトランク接続装置。

【請求項4】 上記Dチャンネルコントロール手段(400)は、上記フレーム整列手段とシリアルポートで通信するためのパートAと；上記パートAと同一の構造及び機能を有しており、独立して動作してシステムの上位レベルとシリアルポートで通信するための第2パート(B)；を備えているDチャンネルコントローラー(410)を含み構成されることを特徴とする請求項1記載のトランク接続装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はISDN(インテグレーテッドサービスディジタルネットワーク)システムのヨーロッパ方式(CEPT)及び北米方式(T1)のためのトランク接続装置に関し、特にISDN PABX(プライベートオートマチックプランチエクスチエンジ)又はNT12(ネットワークターミネーション12)内に位置しながら、ISDNサービスを提供する局設交換機や他のISDN PABXとトランク接続されて、1次群速度(プライマリーレート)のヨーロッパ方式(CEPT)及び北米方式(T1)による情報伝送を支援するトランク接続装置に関する。

## 【0002】

【従来の技術】 CCITTが勧告した1次群速度には、ヨーロッパ方式(以下‘CEPT’方式という)(30B+1D, 2.048Mbps)と北米方式(以下、‘T1’方式という)(23B+1D, 1.544Mbps)があるが、上記両方式はビット速度(ビットレート)とフレーム整列方式が異なり、これら夫々に提供されるクロックもまた相違するため、従来の1次群速度トランク接続装置は一般的にCEPT方式やT1方式のうち、いずれか一つの方式のみを支援するよう構成された。

【0003】 更に、大部分の場合において、従来のトランク装置は他の交換機から受信した30B+1D(CEPT)/23B+1D(T1)情報をBチャンネル情報とDチャンネル情報に分けた後、Bチャンネルは本装置が属するシステム内のスイッチマトリックスへ伝送し、Dチャンネルは本装置が属するシステムの上位レベルへ伝送したり、又はこれとは逆にシステムのスイッチマトリックスから受信したBチャンネル情報と上記システムの上位レベルから受信したDチャンネル情報を統合して他の交換機で30B+1D(CEPT)/23B+1D(T1)情報を送信する形態を取っている。

## 【0004】

【発明が解決しようとする課題】 そして、このような形態の実現方法として、Dチャンネルコントローラーを利用して抽出、分離したDチャンネル情報をシステム上位レベルへの送信時や、上位レベルからのDチャンネル情報受信時にはHDLCS/SDLC(ハイレベルデータ

リンク コントロール／シンクロナス データ リンク コントロール) シリアルチャンネル等のようなシリアルチャンネルが内蔵されたマイクロプロセッサーを用いたり、このようなシリアルチャンネルが提供されないマイクロプロセッサーを用いる場合には、マイクロプロセッサーの制御を受ける別途の通信モジュールを用いて送受信しなければならなかった。

【0005】従って、マイクロプロセッサーの選択の幅が狭くなり、費用が高くなる。更に、マイクロプロセッサーがDチャンネル通信に直接関與するため、マイクロプロセッサーにかかる負荷が増加する問題点がある。

#### 【0006】

【課題を解決するための手段】上記問題点を改善するために案出した本発明は、ヨーロッパ方式(CEPT)と北米方式(T1)をいずれも支援する1次群送受信機(プライマリトランシーバ)とフレーム整列器を利用することにより、簡単なプログラムとディップスイッチ操作を通じて所望通りCEPT方式とT1方式を選択できるようにし、その選択により上記1次群送受信機が各方面に適合なクロックをフレーム整列機に供給するようにし、Dチャンネルコントローラーのシリアルポートを利用してシステム上位レベルと通信するようにすることにより、HDLC/SDLCシリアルチャンネルのような通信モジュールのないマイクロプロセッサーを用いることができるようにして、マイクロプロセッサーにかかる負荷を減らしてやるISDNシステムのヨーロッパ方式(CEPT)及び北米方式(T1)のためのトランク接続装置を提供することにその目的がある。

【0007】上記目的を達成するために、本発明はISDN PABX又はNT12システムに装着され、ISDN局設交換機又は他のISDN PABXとトランク接続されて1次群速度の情報伝送を支援するトランク接続装置であって、上記ISDN局設交換機又は他のISDN PABXに連結されているトランクラインに連結されており、上記トランクラインをCEPT又はT1方式で選択するCEPT/T1変換手段；上記CEPT/T1変換手段に連結されて、CEPT又はT1方式の1次群速度で情報を送受信する1次群速度送受信手段；上記1次群速度送受信手段に連結されて、上記1次群速度送受信手段から入力される情報をCEPT方式やT1方式のフレーム構造で整列されるよう制御するフレーム整列手段；上記フレーム整列手段に連結されており、システムのスイッチマトリックスに接続されて、1次群速度タイムスロットに載せられたBチャンネル情報をPCMタイムスロット上にスイッチングして上記システムのスイッチマトリックスに送り、上記システムのスイッチングマトリックスから来るPCMタイムスロットに載せられたBチャンネル情報を1次群速度タイムスロット上にスイッチングして上記フレーム整列手段へ伝送するBチャンネルスイッチング手段；上記フレーム整列手段に連

結されており、上記システムの上位レベルに接続されて、上記CEPT又はT1方式の情報のうち、Dチャンネル情報を抽出して自分のシリアルポートを利用してシステムの上位レベルへ伝送したり、上記システムの上位レベルからのDチャンネル情報を自分のシリアルポートを通じて受信して1次群速度フレーム構造内に挿入するDチャンネルコントロール手段；上記1次群速度送受信手段とフレーム整列手段とBチャンネルスイッチング手段とDチャンネルコントロール手段に夫々連結されており、内部のプログラムを利用して装置全体を制御及び管理する中央処理手段；上記フレーム整列手段と中央処理手段とDチャンネルコントロール手段に連結されているリセット手段；上記中央処理手段に連結されており、上記中央処理手段により本装置の状態をCRT上にディスプレーしたり、警報及び警報の種類をLED点滅を通じて示すモニタリング手段；及びシステム全体が必要とするクロックを網同期に合わせて提供するクロック発生手段；を含んでいるISDNシステムのヨーロッパ方式(CERT)及び北米方式(T1)のためのトランク接続装置を提供する。

#### 【0008】

【実施例】以下、添付した図面を参照して本発明の一実施例を詳細に説明する。図1は本発明によるIDDNシステムのヨーロッパ方式(CEPT)及び北米方式(T1)のためのトランク接続装置の概略的な構成ブロック図であって、1次群速度(プライマリレート)トランク接続装置の一実施例構成図である。図中、100は1次群速度送受信部、200はフレーム整列部(フレームアライナ)、300はBチャンネルスイッチング部、400はDチャンネルコントロール部、500はモニタリング部、600はクロック発生部、700はリセット回路部、800はCPU部、900はCEPT/T1変換部を夫々示す。

【0009】本発明によるトランク接続装置は、図1に示す通り、CEPT/T1ラインに連結されたCEPT/T1変換部900と、上記CEPT/T1変換部に連結された1次群速度送受信部100と、上記1次群速度送信部に連結されたフレーム整列部200と、上記フレーム整列部に連結されており、本装置が設置されたシステムのスイッチマトリックスに接続されるBチャンネルスイッチング部300と、上記フレーム整列部に連結されており、上記システムの上位レベルに接続されるDチャンネルコントロール部400と、上記フレーム整列部、Bチャンネルスイッチング部及びDチャンネルコントロール部に連結されたクロック発生部600と、上記フレーム整列部、Dチャンネルコントロール部及びCPU部に連結されたリセット回路部700と、上記1次群速度送受信部、フレーム整列部、Bチャンネルスイッチング部及びDチャンネルコントロール部に連結されたCPU部800と、上記フレーム整列部、CPU部及びD

チャンネルコントロール部に連結されたリセット回路部700と、上記CPU部に連結されたモニタリング部500で構成される。

【0010】上記CEPT/T1変換部900はISDN局盤交換機又は他のISDN PABXと連結されるトランクライン(CEPT/T1)をディップ(DIP)スイッチ操作によりCEPT方式ライン又はT1方式ラインで選択して、上記1次群速度送受信部100に連結する機能を有する。上記1次群速度送受信部100は上記CEPT/T1変換部900に連結されて、CEPT(2.048Mbps)やT1(1.544Mbps)の1次群速度で情報を送受信する機能をする。上記フレーム整列部200は上記1次群速度送受信部100から入力される情報をCEPT方式やT1方式によりラインコーディング方式、フレーム形態、チャンネル割当信号、CRC(サイクリックリダレダンシイチェック)及び警報に対する情報を制御することにより、CEPTやT1方式のフレーム構造で整列させる機能をする。

【0011】上記Bチャンネルスイッチング部300は1次群速度タイムスロットに載せられたBチャンネル情報をPCMタイムスロット上にスイッチングして、PCM形態のBチャンネル情報がシステムのスイッチマトリックスに送られるようにし、上記システムのスイッチマトリックスから来るPCMタイムスロットに載せられたBチャンネル情報を1次群速度タイムスロット上にスイッチングして、1次群速度Bチャンネル情報が上記フレーム整列部200へ送られるようにする機能をする。上記Dチャンネルコントロール部400はCEPT方式の30B+1D又はT1方式の23B+1D情報のうち、Dチャンネル情報のみを抽出して、自分のシリアルポートを通じてシステム上位レベルへ伝送したり、上記システム上位レベルからのDチャンネル情報を自分のシリアルポートを通じて受信して1次群速度フレーム構造内に挿入する機能をする。上記モニタリング部500は本装置の状態をRS-232ポートを通じてPC(パーソナルコンピュータ)のCRT(陰極線管)上にディスプレーしたり、警報及び警報の種類をLED点滅により示す機能をする。上記クロック発生部600は網クロックに同期を合わせてシステム全体にクロックを提供する機能を有する。上記リセット回路部700は本装置をパワーオンリセット又はマニュアルリセットさせる機能をする。そして、上記CPU部800は本装置全体を制御及び管理する機能を有する。

【0012】便宜上、上記1次群速度送受信部100とフレーム整列部200間の接続をデュアルレール(Dual rail)インターフェース、上記フレーム整列部200とBチャンネルスイッチング部300間の接続を1次群速度インターフェース、上記Bチャンネルスイッチング部300とシステムのスイッチマトリックス間の接続をP

CMインターフェースと指摘して、上記の通り構成されたトランク接続装置の動作を説明すると、次の通りである。

【0013】先ず、外部交換機から情報を受信する場合(ダウンストリーム)、上記1次群速度送受信部100は4線で構成されたCEPT/T1ラインを通じて2.048Mbps又は1.544Mbpsの情報を受信する。上記受信された情報は更に上記フレーム整列部200へ伝送されて、CEPT方式かT1方式かによって30B+1D又は23B+1Dのフレーム構造で上記スイッチング部300及びDチャンネルコントロール部4aに印加される。すると、フレーム整列部200から印加された情報のうち、Bチャンネル情報は32個のPCMタイムスロットのうち30個(CEPT)又は23個(T1)のタイムスロットに割当てられてシステムのスイッチマトリックスへ伝送され、Dチャンネル情報は上記Dチャンネルコントロール部400により抽出されたシステム上位レベルへ伝送される。通常Bチャンネルには音声データ、画像データ等のデータ情報が載せられ、Dチャンネルには信号情報が載せられる。上記モニタリング部500は上記動作の下における状態を直ちに上記CPU部800の助けを受けて示し、上記クロック発生部600は本装置が動作するに必要な4.096MHz/1.544MHzのデータクロックと8kHzのフレームパルスクロックを上記フレーム整列部200、Bチャンネルスイッチング部300及びDチャンネルコントロール部400に夫々供給する。そして、上記リセット回路部700はパワーオン時に上記CPU部800を始めとして、上記フレーム整列部200とDチャンネルコントロール部400をリセットさせ、本装置の動作中には必要時にマニュアルでリセットされる。上記CPU部800は上記1次群速度送受信部100とフレーム整列部をCEPT方式又はT1方式で初期化させ、上記Bチャンネルスイッチング部300を制御して30B+1D又は23B+1D情報中のBチャンネル情報を32個のタイムスロットに所望通り割当てさせ、Dチャンネルコントロール部400を利用してDチャンネル情報を抽出・挿入したり送受信し、上記モニタリング部500を通じて本装置の状態を外部に知らせる等、本装置を制御、監督する。更に、上記CEPT/T1変換部900はディップ(DIP)スイッチの操作でCEPT又はT1方式に適合なハードウェアに変換する機能をする。

【0014】一方、本システムから外部交換機まで情報を送信する場合(アップストリーム)には、上記1次群速度送受信部100、フレーム整列部200、Bチャンネルスイッチング部300、Dチャンネルコントロール400における情報の流れが上記とは逆に進行されるため、上記言及したことの逆に動作し、その外は上記と一緒に動作する。

【0015】図2乃至図4は、本発明による1次群速度

トランク接続装置の一実施例細部構成図であって、図2は上記図1のCEPT/T1変換部900、1次群速度送受信部100、フレーム整列部200、クロック発生部600及びリセット回路部700の一実施例細部構成図であり、図3はBチャンネルスイッチング部300、Dチャンネルコントロール部400及びモニタリング部500の一実施例細部構成図であり、図4はCPU部800の一実施例の細部構成図である。

【0016】図面に示す通り、CEPT/T1変換部900は各ラインを接続するためのトランシーバーT901乃至T904と、上記トランシーバーに接続される抵抗R901乃至R908及びディップスイッチ910と、上記ディップスイッチに接続されるコンデンサーC901乃至C904及び水晶発振器X901、X902で構成される。1次群速度送受信部100は上記ディップスイッチ910及びCPU部800に接続される1次群送受信機110と、上記1次群送受信機に接続される多数のコンデンサーC101乃至C105で構成される。フレーム整列部200は上記1次群送受信機110及びCPU部800に接続されるフレーム整列器210で成る。クロック発生部600は上記フレーム整列器210に接続される位相固定ループPLLチップ610と、上記位相固定ループチップに接続されたオシレーター620及びインバーター630で構成される。

【0017】そして、リセット回路部700はプッシュボタンスイッチS711とそれに接続されたインバーター711、712、コンデンサーC711、及び抵抗R711からなるマニュアルリセット回路710と、タイマー721とそれに夫々接続されたインバーター722、723、コンデンサーC721、C723及び抵抗R721乃至R723からなるパワーオンリセット回路720で構成される。

【0018】Dチャンネルコントロール部400は上記リセット回路部700、CPU部800、フレーム整列器210及び位相固定ループチップ610に接続されるDチャンネルコントローラー410と、上記Dチャンネルコントローラーに接続される多数の抵抗R401乃至R405で構成される。そして、Bチャンネルスイッチング部300は上記CPU部800、フレーム整列器210、Dチャンネルコントローラー410及び位相固定ループチップ610に接続されるタイム/スペーススイッチ310と、上記タイム/スペーススイッチに接続された3状態バッファ320で構成される。

【0019】モニタリング部500は上記CPU部800に接続された多数のインバーター511乃至514、上記インバーター接続された抵抗R511乃至R515及び上記抵抗に接続されたLED LD511乃至LD515からなるLEDモニタリング回路510と、RS232トランシーバー521、上記RS232トランシーバーに接続されたコンデンサーC512乃至C525

及び上記RS232トランシーバーに接続されたRS232コネクター522からなるRS232モニタリング回路520で構成される。CPU部800は汎用のマイクロプロセッサー811、上記マイクロプロセッサーに接続された水晶発振器X811及びコンデンサーC811、C812からなるプロセッサー回路810と、上記マイクロプロセッサーに接続されたラッチ821、EPROM822及びSRAM823からなるメモリ回路820と、上記マイクロプロセッサーに夫々接続されたデコーダー831乃至833からなるチップ選択回路830と、マルチバイブレーター841、上記マルチバイブルーターに接続されたANDゲート842、上記マルチバイブルーターに接続されたコンデンサーC841及び抵抗R841からなるウォッチドッグ(Watch dog)タイマ回路840で構成される。

【0020】図5の(A)乃至(C)は図2の1次群速度送受信部100のCEPT、T1及びローカルループバック選択信号波形図であって、図5の(A)はCEPT選択信号波形図であり、(B)はT1選択信号波形図であり、(C)はローカルループバック選択信号波形図を夫々示す。図6は上記図2のフレーム整列部200のHDB3(ハイデンシティバイポーラ3コード)のラインコーディング信号波形図であり、図7は上記図2のフレーム整列部300のAMI(オルターネートマークインバージョン)及びB8ZS(バイポーラ8ゼロサブスティテューション)ラインコーディング信号波形図であり、図面においてVはバイオレーションであることを示す。

【0021】ここで、上記の通り構成される本発明のトランク接続装置の動作を図2乃至図5を参照して詳細に説明する。ISDN局設交換機や他のISDN PABXとトランク接続をする前に先ず本装置をCEPT方式にすべきかT1方式にすべきかを決定して、上記CEPT/T1変換部900のDIPスイッチ910を操作する。上記DIPスイッチ910の奇数番目のスイッチを全部オン(ON)にし、偶数番目のスイッチを全部オフ(OFF)状態にすると、CEPT方式に適合なハードウェアが選択され、上記DIPスイッチ910の操作を逆にすると、T1方式に適合なハードウェアが選択される。

【0022】すると、上記の如きDIPスイッチの操作により1次群速度送受信部100の1次群送受信機110及びフレーム整列部200のフレーム整列器210がCEPT方式又はT1方式で動作するようプログラムされたEPROM822内の特定ルーティングが選択されて、CEPT又はT1方式に合うように動作されるようになるのである。上記EPROM822には上記のCEPT/T1選択プログラムの外に階層(レイヤー)1ドライバープログラムが一緒に貯蔵されている。

【0023】そして、本発明が適用されるISDN P

ABXシステム又はNT12に一つのボード形態でなった本発明装置を装着すると、パワーオンになり、本発明装置はリセット回路部700及びEPROM822に内蔵されたプログラムにより初期化になる。上記初期化過程で本装置がCEPTになるかT1になるかが決定される。

【0024】まず、他局から本装置が情報を受信する場合(ダウンストリーム)をみると、上記CEPT/T1変換部900を経て1次群速度送受信部100に4線のCEPT/T1ラインを通じて情報が受信される。上記CEPT/T1変換部900のセッティングは上記の通り上記DIPスイッチ910を操作してCEPT又はT1で選択して本装置の動作前に予め定めておかなければならない。そして、1次群速度送受信部100のCEPT又はT1選択は上記マイクロプロセッサー811のポート1(P1)を利用して1次群速度送受信部100内の1次群送受信機110の特定端子に図5の(A)乃至(C)の通り入力すると、CEPTやT1で選択することができ、ライン点検のためのローカルループバックテストもすることができます。上記1次群速度送受信部100を経た情報はジュアルレールインターフェースを通じて上記フレーム整列部200へ進む。すると、上記フレーム整列部200がPCM30モードであるCEPT方式は、そのラインコーディングを図6に示す通りHDB3にし、PCM24モードであるT1方式は、ラインコーディングを図7のAMIやB8ZSで選択することができ、フレーム形態としてCEPT方式の場合にはダブルフレームやCRCマルチフレームを有することができます、T1方式である場合にはマルチフレーム構造を選択することができる。

【0025】更に、チャンネル割当信号としてはCEPT及びT1方式全てに亘ってCCS(コモンチャンネルシグナリング)とCAS(チャンネルアソシエーテッドシグナリング)を全て支援する。そして、CRC及び警報のチェックで情報の状態を分る。これらに関する選択と制御は上記フレーム整列部200のフレーム整列器210のレジスターを操作することにより可能である。上記の通り処理された情報は、1次群速度タイムスロット32個(CEPT)又は1次群速度タイムスロット24個(T1)に割当てられて、上記Bチャンネルスイッチング部300へ進むが、このとき、タイムスロット16(CEPT)／タイムスロット24(T1)に割当てられたDチャンネル情報は、上記Dチャンネルコントロール部400のDチャンネルコントローラー410によりインターフェースされて抽出される。そして、CEPTの場合にはフレーム割当信号のためのタイムスロット0とDチャンネルが割当てられたタイムスロット16を除く30個のタイムスロットに割当てられたBチャンネルが、T1の場合にはCRCチェックのための特定ビット(F)とタイムスロット24に割当てられたDチャンネ

ルを除く23個のタイムスロットに割当てられたBチャンネルが上記タイム／スペーススイッチ310に入力されて32個のPCMタイムスロットのうち30個(CEPT)又は23個(T1)のタイムスロットに割当てられた後、上記タイム／スペーススイッチ310により出力されてシステムのスイッチマトリックスへ伝送されるが、入力される1次群速度タイムスロット番号と同じ番号のPCMスロットに同じBチャンネル情報が載せられて出力される。

【0026】例えば、1次群速度タイムスロット12に載せられたBチャンネル情報が上記タイム／スペーススイッチ310に入力されると、PCMタイムスロット12にこのBチャンネル情報を載せて出力端子へ出力されるのである。上記Dチャンネルコントロール部400のDチャンネルコントローラー410はパートAとパートBに区別される両パート(part)でなっているが、上記両パートは同じ構造と機能を有しているけれども独立して動作する。即ち、上記パートBはフレーム整列部200との通信を遂行し、上記パートAはシステムの上位レベルとの通信を遂行する。上記Dチャンネルコントローラー410は30B+1D(CEPT)又は23B+1D(T1)の情報の流れのうち、Dチャンネル情報を抽出して、このDチャンネル情報を自分のパートB受信 FIFOに貯蔵した後、このFIFOが全部満たされたりメッセージの終りになれば、上記マイクロプロセッサー811にインターラプトをかけて知らせる。すると、上記マイクロプロセッサーが上記受信 FIFOの内容を外部データメモリに仮貯蔵した後、上記Dチャンネルコントローラー410パートAの送信 FIFOに書き込み動作を遂行すると、上記パートAのシリアルポートで出力されて、本装置が装着されたシステムの上位レベルへ伝送されるのである。

【0027】上記クロック発生部600では上記フレーム整列部200、Bチャンネルスイッチング部300及びDチャンネルコントロール部400が上記の通り動作するが、必要な4.096MHz/1.544MHzのデータクロックと8kHzのフレームパルスロックを提供する。上記クロック発生部600は網クロックに同期されたフレーム整列器210から出力される8kHzとオシレーター620からの16.384MHz/1.352MHz入力をを利用して4.096MHz/1.544MHzと8kHzクロックを出力するが、4.096MHz/1.544MHz出力が上記クロック発生部600のPLLチップ610にフィードバックされて、網クロックに同期された8kHzと比較されて、位相修正を経て出力されることにより、クロック発生部600から出力される両クロックは網クロックに同期されたのみならず、PLL機能も有する。

【0028】上記リセット回路部700はパワーオンリセットとマニュアルリセットを可能に構成したもので、

アクティブロー (Active Low) 及びアクティブハイ (Active High) 信号を発生させて、リセット信号としてアクティブロー信号を必要とするマイクロプロセッサー 811 及びフレーム整列器 210 と、リセット信号でアクティブハイ信号を必要とする D チャンネルコントローラー 410 を夫々リセットさせ、タイマー 721 を利用して安定したリセット信号を発生させるのである。そして、モニタリング部 500 は LED 点滅を通じて本発明装置の状態を認識させる LED モニタリング回路 510 と、RS232 ポートを通じてパーソナルコンピューター (PC) の CRT に文字や数字形態でディスプレーになるようにして本発明装置の状態を認識させる RS232 モニタリング回路 520 に分けられるが、上記 LED モニタリング回路 510 は上記マイクロプロセッサー 811 の制御下に動作され、夫々の LED (LD511 乃至 LD515) を通じて同期の損失、警報表示信号、受信リモート警報、受信スリップ (Slip) 表示、パワー有無を示してくれる。反面に、RS232 モニタリング回路 520 は上記マイクロプロセッサー 811 の非同期シリアル通信ポートに RS232 トランシーバー 521 が連結されているため、CPU 部 800 の水晶発振器 X811 のクロックとマイクロプロセッサー 811 内の関連レジスターの操作を通じて、9600 bps 又は 4800 bps のボーレート (Baud rate) でモニタリングすることができる。

【0029】そして、上記の通り、上記 CPU 部 800 のプロセッサー回路 810 がマイクロプロセッサー 811 とマイクロプロセッサーにクロックを提供する水晶発振器 X811 及びコンデンサー C811, C812 で構成されて、上記 CPU 部 800 の周辺回路及び本装置を上記マイクロプロセッサー 811 の各ポートを通じて管掌するが、ポート 0 はデータと下位バイトアドレスの出入力に、ポート 1 は上記 1 次群速度送受信部 100 をCEPT 又は T1 でセッティングする目的で、ポート 2 は上位バイトアドレス出力に、ポート 3 はインターラプト入力と RS232 トランシーバーを通じたモニタリングに、ポート 4 は LED を通じたモニタリングに、ポート 5 は予備用として、そしてポート 6 はウォッチドグタイマー運用に夫々用いる。

【0030】更に、上記 CPU 部 800 のメモリ回路 820 はラッチ 821 と EPROM 822 と SRAM 823 で構成されているが、本装置を制御するプログラムが上記 EPROM 822 に貯蔵されているので、必要する都度上記マイクロプロセッサー 811 によりリードされプログラムが遂行されるようにし、本装置の動作中に発生されるデータと、1 次群速度フレームから抽出されて、上位レベルへ伝送される前の D チャンネル情報や上位レベルから受信されて 1 次群速度フレーム上に挿入される前の D チャンネル情報は上記 SRAM 823 に仮貯蔵されるようにする。

【0031】上記チップ選択回路 830 は 3 個のデコーダー 831, 832, 833 で構成されているが、必要時に上記マイクロプロセッサー 811 の上位バイトアドレスを利用してフレーム整列器 210、タイム/スペーススイッチ 310 及び D チャンネルコントローラー 410 を選択する。そして、上記ウォッチドグタイマー回路 840 は正常的な状態では定められた時間内にトリガーが発生するようになっているが、定められた時間内にトリガーが発生しないとソフトウェアをリセットさせる。ここで、上記のトリガー発生間隔は上記コンデンサー C841 と抵抗 R841 の値により定められる。

【0032】今まで前で言及したこととは逆に、今度は上位レベルから情報を受信して外部へ情報を送信する場合 (アップストリーム) を考察してみれば次の通りである。本発明装置が装着されたシステムのスイッチマトリックスから PCM 形態の B チャンネル情報が 32 個のタイムスロットのうち 30 個 (CEPT) 又は 23 個 (T1) のタイムスロットに載せられて B チャンネルスイッチング部 300 へ入力されると、上記 B チャンネルスイッチング部 300 では入力された PCM タイムスロット番号と一致する 1 次群速度タイムスロットに同じ B チャンネル情報を載せて出力する。例えば、PCM タイムスロット 12 に任意の B チャンネル情報が載せられて上記タイム/スペーススイッチ 310 に入力されたとすれば、上記タイム/スペーススイッチ 310 のスイッチング動作により 1 次群速度タイムスロット 12 にも同一の B チャンネル情報が載せられて出力され、上記フレーム整列部 200 に印加される。このとき、本装置が CEP T 方式で動作するか、又は T1 方式で動作するかによって、この情報の流れは 30B 又は 23B になる。そして、B チャンネル情報が占める 1 次群速度タイムスロット番号は上述したダウンストリームの場合と同じである。そして、上記 B チャンネルスイッチング部 300 に上記フレーム整列部 200 への 30B 又は 23B の情報が流れるとき、上記 D チャンネルコントロール部 400 は D チャンネル情報を 1 次群速度タイムスロット 16 (CEPT) 又は 1 次群速度タイムスロット 24 (T1) に挿入して、全体 30B+1D 又は 23B+1D の情報をフレーム整列部 200 へ送る。このとき、挿入される D チャンネル情報は上記 D チャンネルコントローラー 410 のパート A のシリアルポートを利用して上記レベルから受信したものである。即ち、上位レベルからの D チャンネル情報を上記 D チャンネルコントローラー 410 を通じて受け入れて上記 D チャンネル情報を自分のパート A 受信 FIFO に貯蔵した後、上記受信 FIFO が全部満たされたり、メッセージの終りになると、上記マイクロプロセッサー 811 にインターラプトをかけて知らせる。すると、上記マイクロプロセッサー 811 は上記受信 FIFO の内容を外部データメモリに仮貯蔵した後、上記 D チャンネルコントローラー 410 のパート B の送

信 FIFO に書き込み (Write) 動作を遂行して、上記 D チャンネルコントローラー 410 パート B のシリアルポートに出力されるようにすることにより、1 次群速度フレーム上に挿入させるのである。そして、上記フレーム整列部 200、1 次群速度送受信部 100、CEPT/T1 変換部 900 における動作は上述のダウンストリームの場合において説明した通りであり、但し、情報の流れのみ逆方向である。更に、その外のクロック発生部 600、モニタリング部 500、リセット回路部 700、CPU 部 800 の動作も上記ダウンストリームの場合と同一である。

【0033】上記の通り構成されて動作する本発明は、ISDN PABX や NT1 に位置しながら ISDN 局端交換機又は他の ISDN PABX とのトランク接続を提供して ISDN 1 次群速度を支援する。

#### 【0034】

【発明の効果】本発明は、CEPT/T1 変換部 900 の DIP スイッチ 910 セッティングと、CEPT 方式又は T1 方式を収容するようプログラムされた EPROM のソフトウェアモジュール交替により C E P T 方式と T1 方式を全て支援するようになっているため、他国のトランクが T1 方式又は C E P T 方式に拘らず全て接続可能である。更に、D チャンネルコントローラーを利用して抽出・分離した D チャンネル情報をシステムの上位レベルへの送信時や上位レベルからの D チャンネル情報を受信時にマイクロプロセッサー 811 のシリアルチャネルや外部の別途通信モジュールを用いなく、D チャンネルコントローラーのシリアルポートを利用してシステム上位レベルと通信することにより、HDL C/SDLC シリアルチャネルのような通信モジュールのないマイクロプロセッサーを用いても不便が全くないので、マイクロプロセッサーの選択の幅が広くなり、通信モジュールのないマイクロプロセッサーを用いても上位レベルと通信するための別途の通信モジュールが必要でないため、費用が節減される。そして、上位レベルとの D チャンネル通信を遂行するにあって、多くの部分を D チャンネルコントローラーが処理してくれるので、マイクロプロセッサーの負荷を減らすことができる適用効果があ

る。

#### 【図面の簡単な説明】

【図1】本発明による 1 次群速度 (プライマリ レート) トランク接続装置の概略的な構成を示すブロック図である。

【図2】本発明による 1 次群速度トランク接続装置の一実施例の細部構成図である。

【図3】本発明による 1 次群速度トランク接続装置の一実施例の細部構成図である。

【図4】本発明による 1 次群速度トランク接続装置の一実施例の細部構成図である。

【図5】図2 の 1 次群速度送受信部の C E P T 、 T1 及びローカルループバック選択信号波形図である。

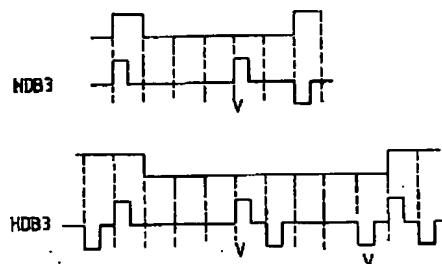
【図6】図2 のフレーム整列部の H D B 3 ラインコーディング信号波形図である。

【図7】図2 のフレーム整列部の A M I 及び B 8 Z S ラインコーディング信号波形図である。

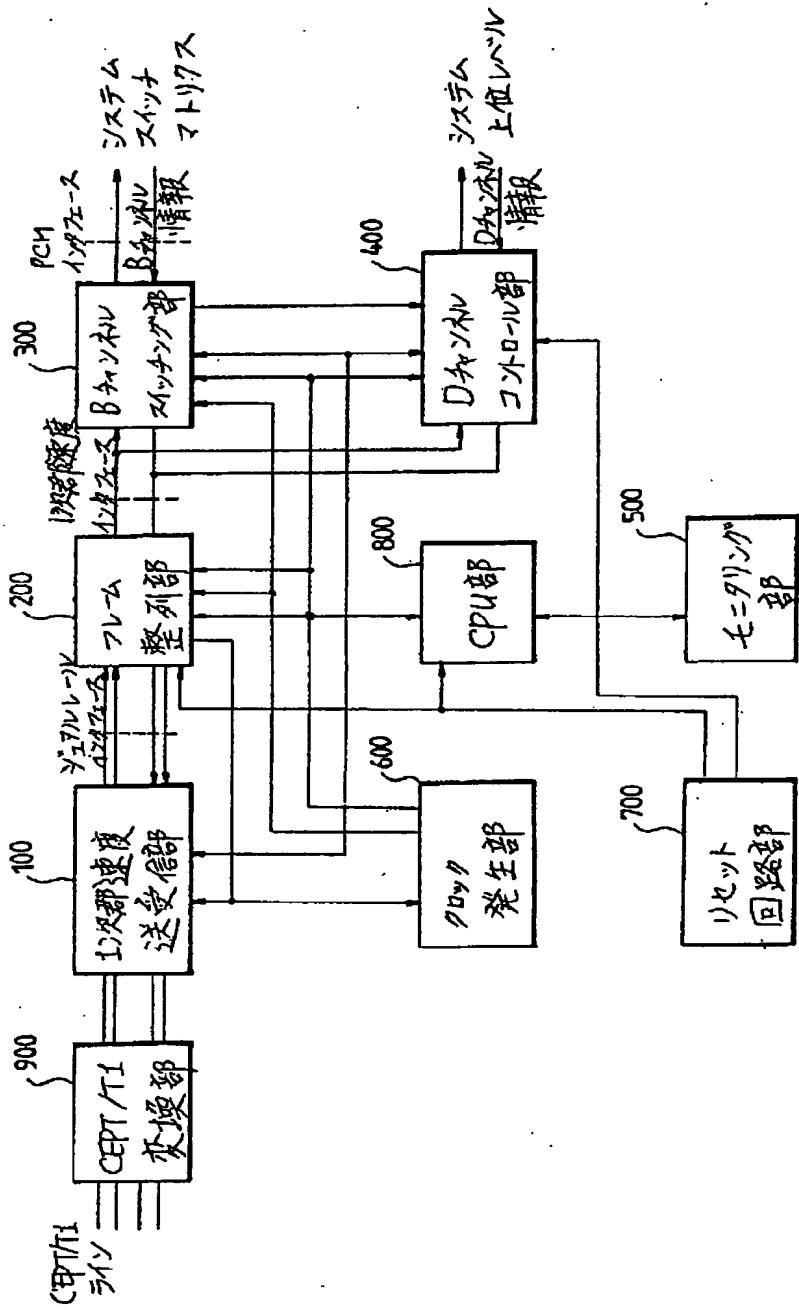
#### 【符号の説明】

- 100 1 次群速度送受信部
- 200 フレーム整列部
- 300 B チャンネルスイッチング部
- 400 D チャンネルコントロール部
- 500 モニタリング部
- 600 クロック発生部
- 700 リセット回路部
- 800 CPU 部
- 900 C E P T/T1 変換部
- 110 1 次群速度送受信機
- 210 フレーム整列器
- 310 タイム/スペーススイッチ
- 410 D チャンネルコントローラー
- 510 LED モニタリング回路
- 520 R S - 232 モニタリング回路
- 810 プロセッサー回路
- 820 メモリ回路
- 830 チップ選択回路
- 840 ウォッチドッグタイマー部
- 910 DIP スイッチ

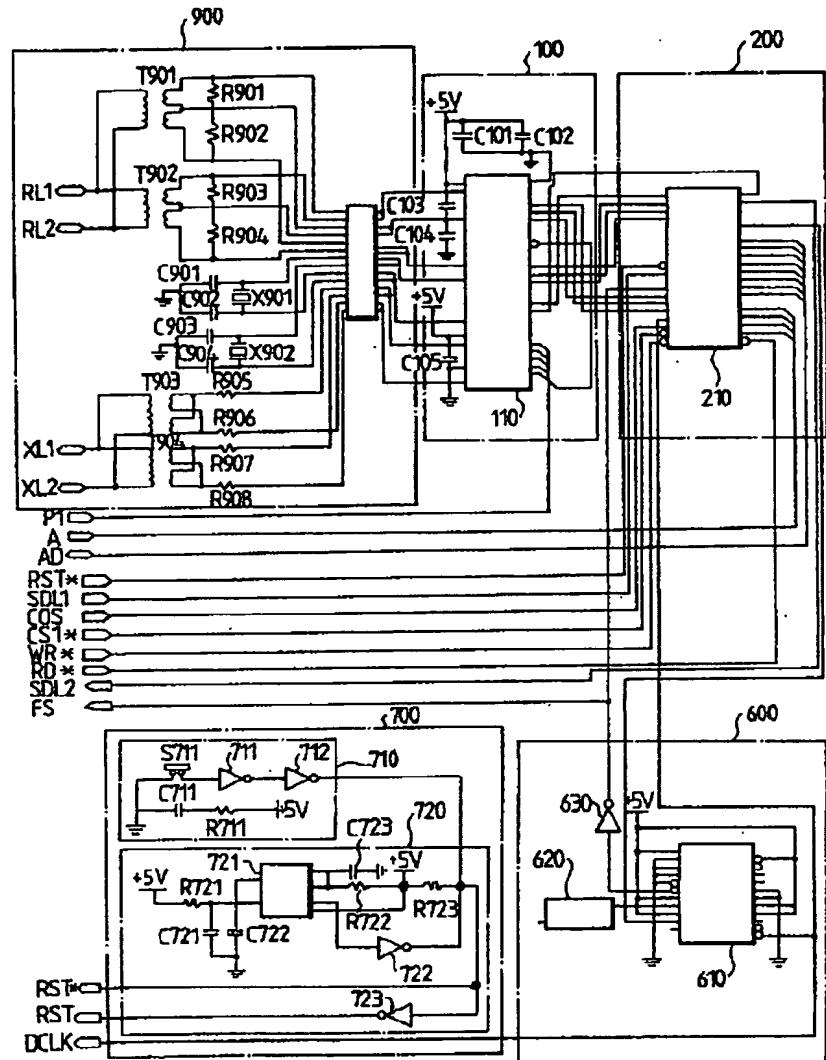
【図6】



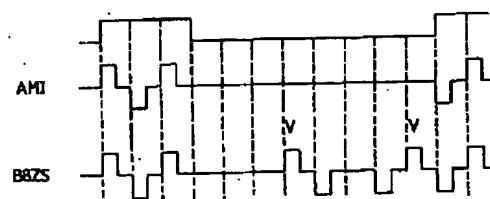
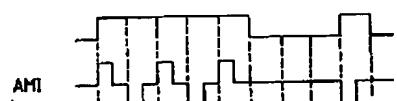
【图1】



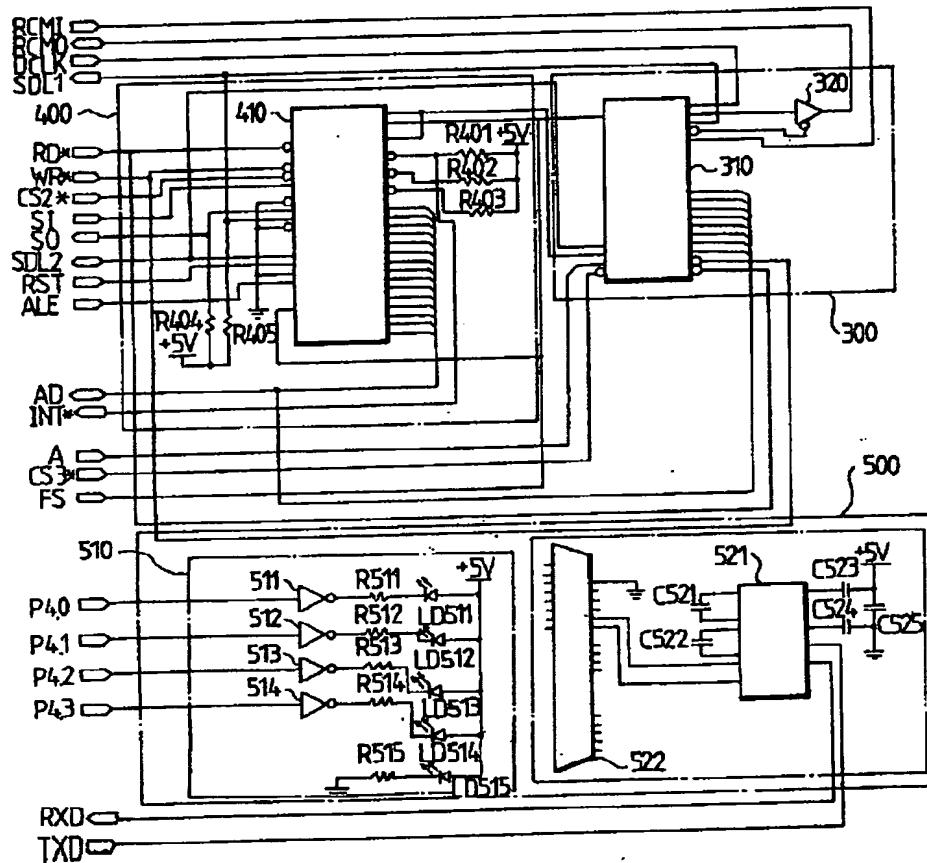
【図2】



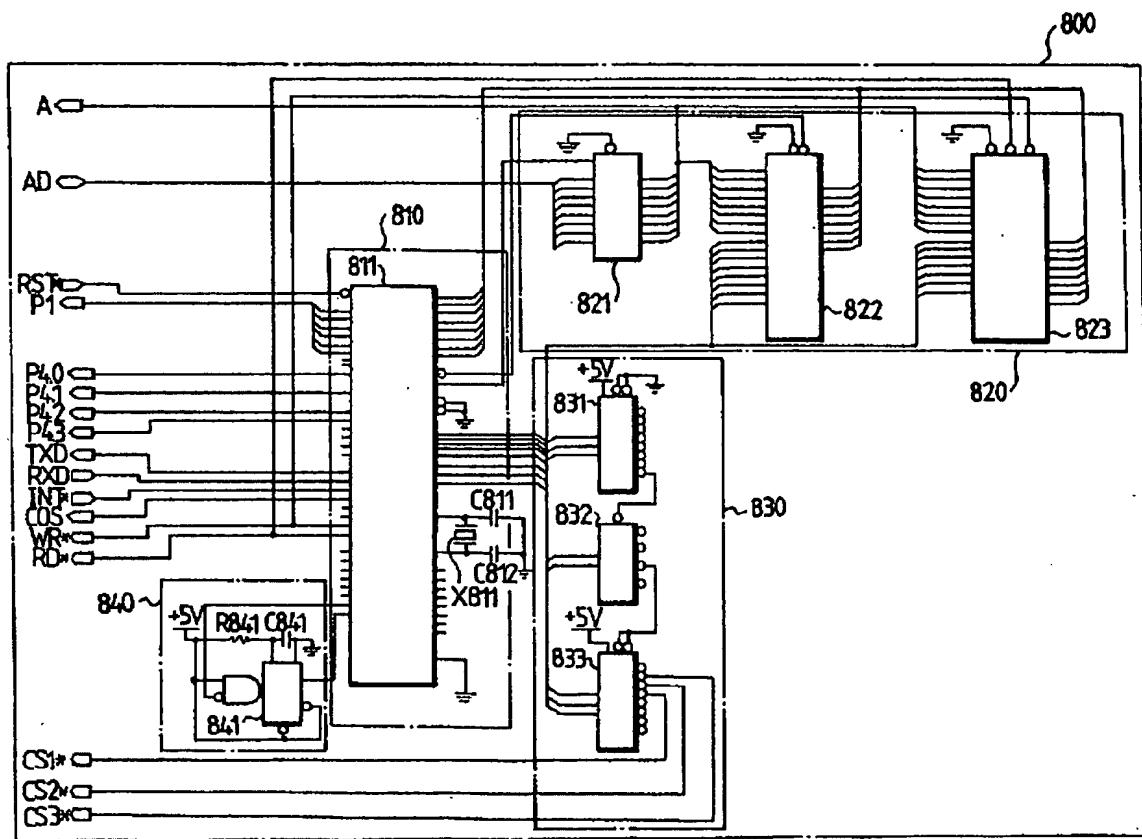
【図7】



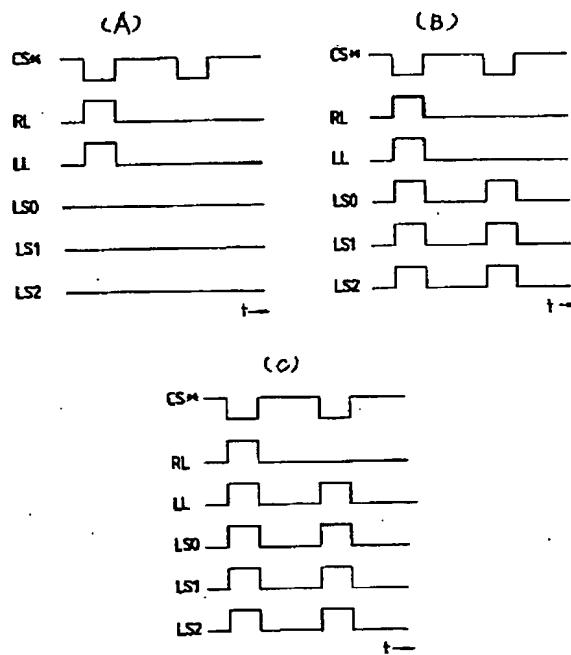
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 5  
H 04 Q 11/04

識別記号 庁内整理番号 F I

技術表示箇所